

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

## KOREAN PATENT ABSTRACTS

(11) Publication

number:

(43) Date of publication of application:

25.07.2000

1020000048262 A

(21) Application number: 1019990059311  
(22) Date of filing: 20.12.1999  
(30) Priority: 21.12.1998 JP 98 362788  
                  21.12.1998 JP 98 362790

(71) Applicant: KABUSHIKI KAISHA  
TOSHIBA  
(72) Inventor: NOMACHI AKIKO  
DAKATO HIROSI  
SAKURAI TADAOMI  
NARUSE HIROSI  
GOKUBUNGOICHI  
HARAKAWA HIDEAKI

(51) Int. Cl H01L 29/78

## (54) SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME

(57) Abstract:



PURPOSE: A semiconductor device and a method for manufacturing the same are provided to reject the leakage current at a PN junction due to a metal composition.

CONSTITUTION: A semiconductor device includes following steps. At the first step, a gate oxide layer (15) is formed on a semiconductor substrate(11). At the second step, a plurality of first gates(16a,16b) with a first spacing between them are formed on the gate oxide layer and a plurality of second gates (16c,16d) with a second spacing which is greater than the first spacing between them are formed on the gate oxide layer. At the third step, a first diffusion layer(18a,18b) is formed on the surface of the semiconductor substrate by using the first and the second gates as a mask. At the forth step, an insulation layer(19) with a thickness of T1 is formed on the front surface of the semiconductor substrate. At the fifth step, a first sidewall insulation layer(19a) is formed on the sidewall of the first gates and a first sidewall insulation layer(19b) is formed on the sidewall of the second gates by exposing the surface of the semiconductor substrate between the second gates.

COPYRIGHT 2000 KIPO

## Legal Status

Date of final disposal of an application (20011031)

Patent registration number (1003207780000)

Date of registration (20020103)

특 2000-0048262

## (19) 대한민국특허청(KR)

## (12) 공개특허공보(A)

(51) Int. Cl.  
H01L 29/78(11) 공개번호 특 2000-0048262  
(43) 공개일자 2000년 07월 25일

(21) 출원번호	10-1999-0059311
(22) 출원일자	1999년 12월 20일
(30) 우선권주장	1998-362788 1998년 12월 21일 일본(JP) 1998-362790 1998년 12월 21일 일본(JP)
(71) 출원인	가부시끼가이사 도시바 니시무로 타이코 일본국 가나가와현 가와사끼시 사이와이 꾸 호리기와조 72번지
(72) 발명자	노마치마키코 일본국 가나가와현 요코하마시 이소고구 신스기타정 8번지 가부시끼가이사 도시바 요코하마사업소내 디카토히로시 일본국 가나가와현 요코하마시 이소고구 신스기타정 8번지 가부시끼가이사 도시바 요코하마사업소내 시쿠리마타다오미 일본국 가나가와현 요코하마시 이소고구 신스기타정 8번지 가부시끼가이사 도시바 요코하마사업소내 나부세히로시 일본국 가나가와현 요코하마시 이소고구 신스기타정 8번지 가부시끼가이사 도시바 요코하마사업소내 고쿠분고이치 일본국 가나가와현 요코하마시 이소고구 신스기타정 8번지 가부시끼가이사 도시바 요코하마사업소내 히라카와히데마키 일본국 가나가와현 요코하마시 이소고구 신스기타정 8번지 가부시끼가이사 도시바 요코하마사업소내 김운배, 이범일
(74) 대리인	

설명구성 있음(54) 반도체장치 및 그 제조방법요약

본 발명에서는 LDD구조를 갖춘 MOS트랜지스터에 있어서, 게이트간의 간격이 좁은 영역에는 코발트 실리사이드막을 형성시키지 않고, 게이트간의 간격이 넓은 영역에는 코발트 실리사이드막을 형성한다. 따라서, 게이트간의 간격이 좁은 영역에서는 규화금속화합물의 영향으로 발생하는 PN접합 누설전류를 억제할 수 있고, 게이트간의 간격이 넓은 영역에서는 신호처리의 고속성을 확보할 수 있다.

도면도도1도면서도면의 규모와 설명

- 도 1은 본 발명의 제1실시예에 따른 반도체장치의 제조공정의 단면도이고,
- 도 2는 도 1에 미어지는 본 발명의 제1실시예에 따른 반도체장치의 제조공정의 단면도,
- 도 3은 도 2에 미어지는 본 발명의 제1실시예에 따른 반도체장치의 제조공정의 단면도,
- 도 4는 도 3에 미어지는 본 발명의 제1실시예에 따른 반도체장치의 제조공정의 단면도,

도 5는 도 4에 이어지는 본 발명의 제1실시예에 따른 반도체장치의 제조공정의 단면도,  
 도 6은 본 발명의 제2실시예에 따른 반도체장치의 제조공정의 단면도,  
 도 7은 도 6에 이어지는 본 발명의 제2실시예에 따른 반도체장치의 제조공정의 단면도,  
 도 8은 도 7에 이어지는 본 발명의 제2실시예에 따른 반도체장치의 제조공정의 단면도,  
 도 9는 도 8에 이어지는 본 발명의 제2실시예에 따른 반도체장치의 제조공정의 단면도,  
 도 10은 도 9에 이어지는 본 발명의 제2실시예에 따른 반도체장치의 제조공정의 단면도,  
 도 11은 도 10에 이어지는 본 발명의 제2실시예에 따른 반도체장치의 제조공정의 단면도,  
 도 12는 도 11에 이어지는 본 발명의 제2실시예에 따른 반도체장치의 제조공정의 단면도,  
 도 13은 본 발명의 제3실시예에 따른 반도체장치의 제조공정의 단면도,  
 도 14는 도 13에 이어지는 본 발명의 제3실시예에 따른 반도체장치의 제조공정의 단면도,  
 도 15는 도 14에 이어지는 본 발명의 제3실시예에 따른 반도체장치의 제조공정의 단면도,  
 도 16은 증래기술에 따른 반도체장치의 제조공정의 단면도,  
 도 17은 도 16에 이어지는 증래기술에 따른 반도체장치의 제조공정의 단면도,  
 도 18은 도 17에 이어지는 증래기술에 따른 반도체장치의 제조공정의 단면도,  
 도 19는 도 18에 이어지는 증래기술에 따른 반도체장치의 제조공정의 단면도이다.

### 발명의 실세 과정

#### 발명의 목적

##### 발명이 속하는 기술분야 및 그 분야의 증대기술

본 발명은 MOS형 트랜지스터를 갖춘 반도체장치 및 그 제조방법에 관한 것이다.  
 증래부터 MOS형 트랜지스터에 있어서는, 게이트전극 및 소스 드레인 확산층의 저항을 저감하기 위해, 자기정합 실리사이드화(self-align silicidation)기술에 의해 게이트전극 및 소스 드레인 확산층상에 규칙 금속화합물이 형성되어 있다.

도 16에 나타낸 바와 같이, P형 실리콘기판(11)은, 예컨대 메모리셀이 형성되는 영역 A와, 예컨대 주변회로가 형성되는 영역 B를 갖추고 있다. 이 실리콘기판(11)의 영역 A내에는 선택적으로 딥 트렌치(deep trench)형의 캐페시터(12)가 형성된다. 이 캐페시터(12)의 트렌치(12a)의 주변에 캐페시터 절연막(13)이 형성된다. 트렌치(12a)의 내부에, 예컨대 폴리실리콘이 충전되어 저장노드(storage node, 12b)가 형성된다. 또, 실리콘기판(11)내에는 STI(Shallow Trench Isolation)구조의 예컨대 실리콘 산화막으로 이루어진 소자분리영역(14)이 형성된다.

다음으로, 실리콘기판(11)상에 게이트 산화막(15)이 형성되고, 이 게이트 산화막(15)상에 폴리실리콘으로 이루어진 게이트(16a, 16b, 16c, 16d)가 선택적으로 형성된다. 여기에서, 영역 A에 형성된 게이트의 상호간격을 S3, 영역 B에 형성된 게이트의 상호간격을 S4로 한다. 또, 이 게이트(16a, 16b, 16c, 16d)의 표면에는 실리콘 산화막(17)이 형성된다.

다음으로, 게이트(16a, 16b, 16c, 16d)와 자기정합적으로 미온주입 및 확산이 행해져 소스 드레인영역에 저불순률농도의 N형 확산층(18a, 18b)이 형성된다. 또, 예컨대 저장노드(12b)로부터 불순물이 바깥쪽으로 확산되거나, 별도의 불순물이 미온주입되어 확산층(18c)이 형성된다. 이 확산층(18c)은 캐페시터(12)의 전하를 투출하는 영역이다.

다음으로, 도 17에 나타낸 바와 같이 전면에 두께 T가, 예컨대 0.07μm인 예컨대 실리콘 질화막과 같은 절연막(19)이 CVD기술에 의해 형성된다.

더욱이, 도 18에 나타낸 바와 같이 미방성 에칭기술에 의해 게이트(16a, 16b, 16c, 16d)의 각 측벽부분에 절연막(19)이 남도록 절연막(19)이 선택적으로 제거되어 게이트 측벽절연막(19a)이 형성된다.

다음으로, 게이트(16a, 16b, 16c, 16d) 및 게이트 측벽절연막(19a)과 자기정합적으로 미온주입 및 확산이 행해져 확산층(18a, 18b)의 불순률농도보다도 고불순률농도인 N형 확산층(20)이 형성된다. 이에 따라, LDD(Lightly Doped Drain)구조의 MOS형 트랜지스터가 형성된다. 그 후, 웨트에칭(wet etching) 습식에칭)에 의해 확산층(20)상의 게이트 절연막(15) 및 게이트(16a, 16b, 16c, 16d) 상부의 실리콘 산화막(17)이 제거된다.

다음으로, 도 19에 나타낸 바와 같이 전면에 금속막으로서, 예컨대 코발트 박막이 형성된다. 그 후, 실리콘과 화학적 반응이 일어나는 온도까지 어닐링이 행해진다. 이에 따라, 실리콘을 환유한 게이트(16a, 16b, 16c, 16d) 및 실리콘기판(11)과 코발트 박막이 접하고 있는 영역에서는 코발트와 실리콘의 반응하여 코발트 실리사이드(silicide)막(22a, 22b, 22c)이 형성된다. 이 때, 절연막으로 실리콘미 덮여져 있는 게이트 측벽절연막(19a)상에 코발트 실리사이드막은 형성되지 않는다. 그 후, 에칭기술에 의해 미반응 코발트 박막이 선택적으로 제거된다. 이와 같이 하며, 영역 A 및 영역 B의 확산층영역상에 코발트 실리사이드막(22b, 22c)이 형성된다.

그런데, 확산층영역상에 코발트 실리사이드막(22b, 22c)과 같은 규화금속화합물을 형성하는 것은, 확산층

영역의 도전영역의 저항치를 저하시켜 신호처리를 고속화하는 것을 목적으로 하고 있다.

그렇지만, 확산층영역의 상면에 규화금속화합물을 형성하면, PN접합의 누설전류가 증가한다는 문제점이 있다. 그 때문에, 캐퍼시터(12)의 견수가 투출되는 확산층(18a)상에 규화금속화합물이 형성되면, 캐퍼시터(12)의 전하유지를성이 악화된다. 따라서, 확산층(18a)상에는 코발트 실리사이드막(22c)이 형성되지 않는 편이 바람직하다.

즉, 영역 A에 있어서는 캐퍼시터(12)의 전하유지를성을 향상시키기 위해 누설전류를 억제하는 것이 중요하고, 영역 B에 있어서는 저항을 억제하여 고속동작을 가능하게 할 필요가 있다. 따라서, 이와 같은 경우, 영역 A의 누설전류를 억제하고자 하는 부분의 확산층영역상에는 코발트 실리사이드막을 형성하지 않는 편이 바람직하다.

그러나, 상기 증례의 제조방법에서는 게이트의 상호간격(S3, S4)이  $(S3, S4) < 2 \times T$  (T: 실리콘 질화막(19)의 막두께)인 개소에서는 확산층영역상에 코발트 실리사이드막이 형성된다. 따라서, 실리콘 질화막(19)의 막두께(T)와 톡팁하여, 코발트 실리사이드막이 형성되지 않는 영역을 확산층영역상에 설치할 수 없었다.

### 발명이 이루고자 하는 기술적 효과

본 발명은 상기 과제를 해결하기 위해 이루어진 것으로, 그 목적으로 하는 바는 규화금속화합물의 영향으로 발생하는 PN접합 누설전류를 억제할 수 있으면서, 신호처리의 고속성을 확보할 수 있는 반도체장치 및 그 제조방법을 제공함에 있다.

### 발명의 구성 및 작용

본 발명은 상기 목적을 달성하기 위해 미하에 나타내는 수단을 이용하고 있다.

본 발명의 반도체장치의 제조방법은, 반도체기판상에 게이트 산화막을 형성하는 공정과, 상기 게이트 산화막상에 제1상호간격을 갖는 복수의 제1게이트와 상기 제1상호간격보다 넓은 제2상호간격을 갖는 복수의 제2게이트를 선택적으로 형성하는 공정, 상기 제1 및 제2게이트를 마스크로 하여 상기 반도체기판 표면에 제1확산층을 형성하는 공정, 전면에 절연막을 막두께 T1으로 형성하는 공정, 상기 절연막을 등방성 매클로에 의해 막두께 T2까지 에칭하는 공정, 상기 절연막을 에칭하여 상기 제1게이트의 측벽에 상기 제1게이트의 상기 반도체기판 표면을 덮는 제1측벽절연막을 형성하면서, 상기 제2게이트의 측벽에 상기 제2게이트와 제2게이트의 상기 반도체기판 표면을 노출하여 제2측벽절연막을 형성하는 공정 및, 상기 제1 및 제2게이트와 제1 및 제2측벽절연막을 마스크로 하여 상기 반도체기판 표면에 불순물을 도입하고, 상기 제2측벽절연막의 표면에 상기 제1확산층보다도 고농도인 제2확산층을 형성하는 공정을 포함한다.

상기 제1게이트의 상호간격을 S1, 상기 제2게이트의 상호간격을 S2, 상기 절연막의 형성시의 막두께를 T1으로 했을 때,  $S1 < 2 \times T1 < S2$ 의 관계를 만족시키도록 형성된다.

또, 본 발명의 다른 반도체장치의 제조방법은, 반도체기판상에 게이트 산화막을 형성하는 공정과, 상기 게이트 산화막상에 제1상호간격을 갖는 복수의 제1게이트와 상기 제1상호간격보다 넓은 제2상호간격을 갖는 복수의 제2게이트를 선택적으로 형성하는 공정, 상기 제1 및 제2게이트를 마스크로 하여 상기 반도체기판 표면에 제1확산층을 형성하는 공정, 전면에 제1절연막을 형성하는 공정, 상기 제1절연막을 제1측벽절연막을 형성하여 상기 반도체기판 표면에 불순물을 도입하여, 상기 제1확산층과 연속하여 상기 제1확산층보다도 고농도인 제2확산층을 형성하는 공정, 전면에 제2절연막을 형성하는 공정 및, 상기 제2절연막을 에칭하여 상기 제1게이트의 상기 제1측벽절연막의 측벽에 상기 반도체기판 표면을 노출하여 제3측벽절연막을 형성하는 공정을 포함한다.

상기 제1게이트의 상호간격을 S1, 상기 제2게이트의 상호간격을 S2, 상기 제1절연막의 형성시의 막두께를 T1, 상기 제2절연막의 형성시의 막두께를 T2로 했을 때,  $S1 < 2 \times (T1+T2) < S2$ 의 관계를 만족시키도록 형성된다.

또, 본 발명의 또 다른 반도체장치의 제조방법은, 상기 제2확산층을 형성한 후, 상기 제2절연막을 형성하기 전에 상기 제1측벽절연막을 제거하는 공정을 더 포함해도 좋다. 이 경우는, 상기 S1과 상기 S2 및 상기 T2는  $S1 < 2 \times T2 < S2$ 의 관계를 만족시킨다.

본 발명의 반도체장치는, 반도체기판상에 형성되고 제1상호간격을 갖는 복수의 제1게이트와, 상기 반도체기판상에 형성되고 상기 제1상호간격보다 넓은 제2상호간격을 갖는 복수의 제2게이트, 상기 제1게이트의 측벽에 형성되고 상기 제1게이트 상호간을 메우는 제1측벽절연막, 상기 제2게이트의 측벽에 서로 떨어져 형성된 제2측벽절연막, 상기 제1측벽절연막 아래의 상기 반도체기판 표면에 형성된 제1확산층 및, 상기 제2측벽절연막 상호간의 상기 반도체기판 표면에 형성된 제2확산층을 갖춘다.

상기 제1게이트의 상호간격을 S1, 상기 제2게이트의 상호간격을 S2, 상기 제1 및 제2측벽절연막으로 되는 절연막의 형성시의 막두께를 T1으로 했을 때,  $S1 < 2 \times T1 < S2$ 의 관계를 만족시킨다.

또, 본 발명의 다른 반도체장치는, 상기 제2측벽절연막이 상기 제2확산층상으로 뻗어나와 형성되어 있어도 좋다.

본 발명에 의하면, 규화금속화합물의 영향으로 발생하는 PN접합 누설전류를 억제할 수 있으면서, 신호처리의 고속성을 확보할 수 있는 반도체장치 및 그 제조방법을 제공할 수 있다.

### (발명의 실시형태)

본 발명의 실시형태를 미하에 도면을 참조하여 설명한다.

## 제1실시예

도 1에 나타낸 바와 같이, 제1실시예에는 하나의 반도체장치에 PN접합의 누설전류를 특별히 억제하고자 하는 영역 A와, 증래와 같은 확산층구조 및 확산층부의 도전영역의 저항치를 얻고자 하는 영역 B가 존재하고, 영역 A, B에는, 후술하는 복수의 게이트배선이 평행하게 배치되어 있다. 여기에서, 영역 A는 예컨대 메모리셀이 형성되는 영역에 상당하고, 영역 B는 고속의 신호처리가 요구되는 주변회로영역에 상당한다.

먼저, 도 1에 나타낸 바와 같이, 실리콘기판(11)의 영역 A내에는 선택적으로 딥 트렌치형의 캐페시터(12)가 형성된다. 이 캐페시터(12)의 트렌치(12a)의 주변에 캐페시터 절연막(13)이 형성된다. 트렌치(12a)의 내부에, 예컨대 폴리실리콘이 충전되어 저장노드(12b)가 형성된다. 또, 실리콘기판(11)내에는 STI구조의 예컨대 실리콘 산화막으로 이루어진 소자분리영역(14)이 형성된다.

다음으로, 실리콘기판(11)상에 게이트 산화막(15)이 형성되고, 이 게이트 산화막(15)상에 폴리실리콘으로 이루어진 게이트(16a, 16b, 16c, 16d)가 선택적으로 형성된다. 여기에서, 영역 A에서의 서로 이웃하는 게이트(16a, 16b)간의 거리의 최대치(S1)는 예컨대 0.25 $\mu m$ , 영역 B에서의 서로 이웃하는 게이트(16c, 16d)간의 최소치(S2)는 예컨대 0.28 $\mu m$ 이고, 예컨대 도시하지 않은 영역 A의 게이트와 영역 B의 게이트의 상호간격도 S2로 되어 있다. 그 후, 게이트(16a, 16b, 16c, 16d)의 표면에 실리콘 산화막(17)이 형성된다.

다음으로, 소스 드레인영역에 게이트(16a, 16b, 16c, 16d)와 자기정합적으로 이온주입 및 확산이 행해져 저불순률농도의 N형 확산층(18a, 18b)이 형성된다. 또, 예컨대 저장노드(12b)로부터 불순물이 바깥쪽으로 확산되거나, 별도의 불순물이 이온주입되어 확산층(18c)이 형성된다. 이 확산층(18c)은 캐페시터(12)의 전하를 독립하는 영역이다.

다음으로, 도 2에 나타낸 바와 같이 전면에, 예컨대 실리콘 절화막과 같은 절연막(19)이 CVD기술에 의해 형성된다. 이 절연막(19)의 두께 T1은 예컨대 0.135 $\mu m$ 이다. 이 때, 절연막(19)은 게이트(16a, 16b, 16c, 16d)상에 거의 등방적으로 형성된다.

따라서, T1의 2배의 두께가 게이트간격(S1) 이상인 경우, 게이트(16a)의 측면에 두께 T1으로 형성된 절연막(19)과, 이 게이트(16a)로부터 거리(S2)만큼 미간하는 다른 게이트(16b)의 측면에 두께 T1으로 형성된 절연막(19)과의 사이에 간극이 없어진다. 즉, 상호간격이 S1인 게이트(16a)와 게이트(16b) 사이는 절연막(19)으로 매립된 형상으로 된다.

한편, T1의 2배의 두께가 게이트간격(S2)보다 작은 경우, 게이트(16c)의 측면에 두께 T1으로 형성된 절연막(19)과, 이 게이트(16c)로부터 거리(S2)만큼 미간하는 다른 게이트(16d)의 측면에 두께 T1으로 형성된 절연막(19)과의 사이에 S2-(2×T1) ~ 0만큼 간극이 남는다. 이 때문에, 각 게이트(16c, 16d)의 측면에 형성된 절연막(19)끼리가 접하는 일은 없다.

여기에서, 게이트간격이 S1인 부분은 후술하는 실리사이드막을 실리콘기판(11)상에 형성하지 않는 편이 바람직한 영역이다. 또, 게이트간격이 S2인 부분은 후술하는 실리사이드막을 실리콘기판(11)상에 형성하는 편이 바람직한 영역이다. 따라서, 절연막(19)의 두께 T1과 게이트간격 S1, S2는 식 (1)에 나타낸 관계가 있다.

$$S1 \leq 2 \times T1 < S2 \quad (1)$$

다음으로, 도 3에 나타낸 바와 같이, 예컨대 160°C의 인산용액으로 약 9분간의 등방성 에칭을 행함으로써, 두께 T2가 0.07 $\mu m$ 인 절연막(19)이 형성된다. 이 때, 절연막(19)의 두께 T2는 일례일뿐이고, MOS 트랜지스터의 성능이 요구를 만족시키는 두께로 형성되면 좋다.

다음으로, 도 4에 나타낸 바와 같이, 예컨대 염소(Cl<sub>2</sub>), 브로화수소(HBr), 산소(O<sub>2</sub>), 6불화유황(SF<sub>6</sub>)의 혼합가스를 사용한 RIE(React iive Ion Etching; 반응성 이온에칭)기술에 의해 절연막(19)이 약 0.08 $\mu m$  예정된다. 따라서, 게이트(16a, 16b, 16c, 16d)의 각 측벽부분에 게이트 측벽절연막(19a, 19b)이 형성된다. 즉, 영역 A의 게이트(16a, 16b)와 같이 상호간격이 좁은 부분은 절연막(19)이 많이 남는다. 이 때문에, 게이트 산화막(15)이 노출되지 않고 게이트 측벽절연막(19b)이 형성된다. 또, 영역 B의 게이트(16c, 16d)와 같이 상호간격이 넓은 영역은 게이트 산화막(15)이 노출되어 게이트 측벽절연막(19a)이 형성된다.

다음으로, 게이트(16a, 16b, 16c, 16d) 및 게이트 측벽절연막(19a)을 마스크로 하여 고농도의 불순물을 으로서, 예컨대 비소(As)가 주입되고, 그 후 주입된 불순물이 확산된다. 따라서, 확산층(18b)의 불순물을 농도보다도 고불순률농도의 N형 확산층(20)이 형성된다. 이에 따라, 100구조의 MOS형 트랜지스터가 형성된다.

그 후, 웨트에칭에 의해 확산층(20)상의 게이트 산화막(15) 및 게이트(16a, 16b, 16c, 16d) 상부의 실리콘 산화막(17)이 제거된다.

다음으로, 도 5에 나타낸 바와 같이 스퍼터링(sputtering)기술에 의해 전면에 약두께가 예컨대 0.01 $\mu m$ 의 금속막으로서, 예컨대 코발트 박막이 형성된다. 여기에서, 금속막은 코발트에 한정되지 않고, 예컨대 틴 탄 등이기도 좋다. 그 후, 실리콘과 화학적 반응이 일어나는 온도로서 예컨대 480°C로, 예컨대 질소(N<sub>2</sub>) 내에서 1분간의 어닐이 행해진다. 이에 따라, 코발트 박막과 실리콘을 합유한 게이트(16a, 16b, 16c, 16d) 및 실리콘기판(11)과 접하고 있는 영역에서는, 코발트와 실리콘이 반응하여 코발트 실리사이드막(22a, 22b)이 자기정합적으로 형성된다. 이 때, 절연막으로 덮인 게이트(16a, 16b)의 상호간 및 게이트 측벽절연막(19a, 19b)상에 코발트 실리사이드막은 형성되지 않는다. 그 후, 예컨대, 황산(H<sub>2</sub>SO<sub>4</sub>)과 과산화수소(H<sub>2</sub>O<sub>2</sub>)의 혼합용액으로 약 30초에 청합함으로써, 미반응의 코발트 박막이 선택적으로 제거된다.

이와 같이 하여, 영역 A의 게이트, 상호간격이 좁은 부분에는 코발트 실리사이드막이 형성되지 않고, 영역 A 및 영역 B의 게이트의 상호간격이 넓은 부분에 코발트 실리사이드막이 형성된 MOS 트랜지스터가 형성된다. 또, 영역 A에 있어서는, 코발트 실리사이드막이 형성된 부분에 예컨대 비트선이 접속된다.

상기 제1실시예에 의하면, 영역 A에서는 확산층(18a)상에 실리사이드막이 형성되어 있지 않기 때문에, 누설전류를 적게 억제할 수 있다. 따라서, 캐페시터(12)의 전하유지특성을 개선할 수 있다. 한편, 영역 B에서는 구조로 형성할 수 있기 때문에, 확산층(18b, 20)의 구조 및 확산층영역의 도전영역의 저항치도 증대와 같은 것이 일어진다. 따라서, 영역 B에 있어서는 증대와 같이 저항을 억제함으로써, 신호처리의 고속성을 확보할 수 있다.

또, 영역 A의 실리사이드를 형성하지 않는 영역을 자기정합적으로 형성할 수 있기 때문에, 예컨대 실리사이드막의 형성시에 실리사이드막을 형성하지 않는 영역을 미리 덮는 공정을 생략할 수 있다. 따라서, 제조공정수의 증가를 억제할 수 있다.

## 제2실시예

다음으로, 본 발명의 제2실시예에 대해 설명한다. 도 6에 나타낸 바와 같이, 제2실시예는 제1실시예와 마찬가지로 영역 A와 영역 B에 존재한다.

먼저, 도 6에 나타난 바와 같이 실리콘기판(11)의 영역 A내에는 선택적으로 딥 트렌치형의 캐페시터(12)가 형성된다. 이 캐페시터(12)의 트렌치(12a)의 주변에 캐페시터 절연막(13a)이 형성된다. 트렌치(12a)의 내부에 예컨대 폴리실리콘이 충전되어 저장노드(12b)가 형성된다. 또, 실리콘기판(11)내에는 STI구조의 예컨대 실리콘 산화막으로 미루어진 소자분리영역(14)이 형성된다.

다음으로, 실리콘기판(11)상에 게이트 산화막(15)이 형성되고, 이 게이트 산화막(15)상에 폴리실리콘으로 미루어진 게이트(16a, 16b, 16c, 16d)가 선택적으로 형성된다. 여기에서, 영역 A에서의 서로 미온하는 게이트(16a, 16b)간의 거리의 최대치(S1)는 예컨대 0.2mm, 영역 B에서의 서로 미온하는 게이트(16c, 16d)간의 최소치(S2)는 예컨대 0.32mm이고, 예컨대 도시하지 않은 영역 A의 게이트와 영역 B의 게이트의 상호간격도 S2로 되어 있다. 그 후, 게이트(16a, 16b, 16c, 16d)의 표면에 실리콘 산화막(17)이 형성된다.

다음으로, 소스·드레인영역에 게이트(16a, 16b, 16c, 16d)와 자기정합적으로 미온주입 및 확산이 행해져 저불순률농도의 N형 확산층(18a, 18b)이 형성된다. 또, 예컨대 저장노드(12b)로부터 불순률이 바깥쪽으로 확산되거나, 별도의 불순률이 미온주입되어 확산층(18c)이 형성된다. 이 확산층(18c)은 캐페시터(12)의 전하를 득출하는 영역이다.

다음으로, 도 7에 나타난 바와 같이, 전면에 예컨대 실리콘 절연막과 같은 절연막(19)이 CVD기술에 의해 형성된다. 이 절연막(19)의 막두께 T1은, 예컨대 0.07μm이다.

다음으로, 도 8에 나타난 바와 같이, 예컨대 염소(Cl<sub>2</sub>), 브롬화수소(HBr), 산소(O<sub>2</sub>), 6불화유황(SF<sub>6</sub>)의 혼합가스를 사용한 RIE기술에 의해 절연막(19)이 약 0.08μm에 형성된다. 따라서, 게이트(16a, 16b, 16c, 16d)의 각 측벽부분에 게이트 측벽절연막(19a)이 형성된다.

그 후, 게이트(16a, 16b, 16c, 16d) 및 게이트 측벽절연막(19a)을 마스크로 하여 고농도의 불순률미온으로서, 예컨대 비소(As)가 주입되고, 그 후 주입된 불순률이 확산된다. 따라서, 확산층(18b)의 불순률농도보다도 고불순률농도의 N형 확산층(20)이 형성된다. 이에 따라, LDD구조의 MOS형 트랜지스터가 형성된다.

다음으로, 도 9에 나타난 바와 같이, 예컨대 160°C의 인산용액을 사용한 웨트에칭에 의해 게이트 측벽절연막(19a)이 제거된다.

다음으로, 도 10에 나타난 바와 같이, 전면에 예컨대 실리콘 절화막과 같은 절연막(21)이 CVD기술에 의해 형성된다. 이 절연막(21)의 막두께 T2는, 예컨대 0.13μm이다. 이 때, 절연막(21)은 게이트(16a, 16b, 16c, 16d)상에 거의 등방적으로 형성된다.

따라서, T2의 2배의 두께가 게이트간격(S1) 이상인 경우, 게이트(16a)의 측면에 두께 T2로 형성된 절연막(21)과, 이 게이트(16a)로부터 거리(S1)만큼 미안하는 다른 게이트(16b)의 측면에 두께 T2로 형성된 절연막(21)과의 사이에 간극이 없어진다. 즉, 상호간격이 S1인 게이트(16a)와 게이트(16b) 사이는 절연막(21)으로 매틱된 현상으로 된다.

한편, T2의 2배의 두께가 게이트간격(S2)보다 작은 경우, 게이트(16c)의 측면에 두께 T2로 형성된 절연막(21)과, 이 게이트(16c)로부터 거리(S2)만큼 미안하는 다른 게이트(16d)의 측면에 두께 T2로 형성된 절연막(21)과의 사이에 S2-(2×T2) > 만큼 간극이 남는다. 이 때문에, 각 게이트(16c, 16d)의 측면에 형성된 절연막(21)끼리가 접하는 일은 없다.

여기에서, 게이트간격이 외인 부분은 툐슬하는 실리사이드막을 실리콘기판(11)상에 형성하지 않는 편이 바람직한 영역이다. 또, 게이트간격이 S2인 부분은 툐슬하는 실리사이드막을 실리콘기판(11)상에 형성하는 편이 바람직한 영역이다. 따라서, 절연막(21)의 두께 T2와 게이트간격 S1, S2는 식 (2)에 나타난 관계가 있다.

$$S1 \leq 2 \times T2 < \Sigma (2)$$

다음으로, 도 11에 나타난 바와 같이, 예컨대 염소(Cl<sub>2</sub>), 브롬화수소(HBr), 산소(O<sub>2</sub>), 6불화유황(SF<sub>6</sub>) 등의 혼합가스를 사용한 RIE기술에 의해 절연막(21)이 약 0.14μm에 형성된다. 즉, 게이트(16a, 16b, 16c, 16d)의 각 측벽부분에 게이트 측벽절연막(21a, 21b)이 형성된다. 이 때, 영역 A의 게이트(16a, 16b)와 같이 상호간격이 좁은 부분은 절연막(21)이 많이 남기 때문에, 게이트 산화막(15)이 노출되지 않고 게이트 측벽절연막(21b)이 형성된다. 또, 게이트(16c, 16d)와 같이 상호간격이 넓은 영역은 게이트 산화막(15)이 노출되어 게이트 측벽절연막(21a)이 형성된다.

그 후, 웨트에칭에 의해 확산층(20)상의 게이트 산화막(15) 및 게이트(16a, 16b, 16c, 16d) 상부의 실리콘 산화막(17)이 제거된다. 다음으로, 도 12에 나타난 바와 같이 스퍼터링기술에 의해 전면에 막두께가 예컨대 0.01μm의 금속막으로서, 예컨대 코발트 박막이 형성된다. 여기에서, 금속막은 코발트에 한정되지 않고, 예컨대 타itan 등이어도 좋다. 그 후, 실리콘과 화학적 반응이 일어나는 온도로서 예컨대 480°C로,

예컨대 질소(N<sub>x</sub>)내에서 1분간의 어늘이 행해진다. 이에 따라 코발트 박막과 실리콘을 함유한 게이트(16a, 16b, 16c, 16d) 및 실리콘기판(11)과 접하고 있는 영역에서는 코발트와 실리콘이 반응하여 코발트 실리사이드막(22a, 22b)이 자기정합적으로 형성된다. 이 때, 절연막으로 되어 있는 게이트(16a, 16b)의 상호간 및 게이트 측벽절연막(21a, 21b)상에 코발트 실리사이드막은 형성되지 않는다. 그 후, 예컨대, 황산(H<sub>2</sub>SO<sub>4</sub>)과 과산화수소(H<sub>2</sub>O<sub>2</sub>)의 혼합용액으로 약 30초에 청합으로써, 미반응의 코발트 박막이 선택적으로 제거된다.

미와 같이 하여, 영역 A의 게이트 상호간격이 좁은 부분에는 코발트 실리사이드막이 형성되지 않고, 영역 A 및 영역 B의 게이트의 상호간격이 넓은 부분에 코발트 실리사이드막이 형성된 MOS 트랜지스터가 형성된다. 또, 영역 A에 있어서는, 코발트 실리사이드막이 형성된 부분에 예컨대 비트선이 접속된다.

상기 제2실시예에 의하면, 소스 드레인영역으로서의 확산층(18a, 18b, 18c, 20)의 구조를 변화시키는 일 없이 영역 A의 게이트 상호간격(S1)의 좁은 부분에 규화금속화합물을 형성하지 않는 구조를 실현할 수 있다. 그 때문에, 영역 A의 게이트 상호간격(S1)이 좁은 부분의 누설전류를 억제할 수 있어 캐페시터(12)의 전하유지특성을 개선할 수 있다.

### 제3실시예

다음으로, 본 발명의 제3실시예에 대해 설명한다. 이 제3실시예에 있어서, 상기 제2실시예와 동일한 부분에는 동일부호를 붙이고, 다른 부분에 대해서만 설명한다.

먼저, 제2실시예와 마찬가지로 도 6 내지 도 8에 나타낸 바와 같이 게이트 측벽절연막(19a)이 형성된다.

그 후, 도 13에 나타낸 바와 같이 게이트 측벽절연막(19a)을 제거시키지 않고, 전면에 예컨대 실리콘 절화막과 같은 절연막(21)이 CVD기술에 의해 형성된다. 이 절연막(21)의 두께(T2)는 예컨대 0.06μm이다. 이 때, 절연막(21)은 게이트(16a, 16b, 16c, 16d)상에 거의 등방적으로 형성된다. 또, 각 게이트(16a, 16b, 16c, 16d)의 측면에는 두께가 T1인 측벽절연막(19a)이 형성되어 있다.

따라서, (T1+T2)의 2배의 두께가 게이트간격(S1) 이상인 경우, 게이트(16a)의 측면에 두께 T2로 형성된 절연막(21)과, 이 게이트(16a)로부터 거리(S1)만큼 미간하는 다른 게이트(16b)의 측면에 두께 T2로 형성된 절연막(21)과의 사이에 간극이 없어진다. 즉, 상호간격이 S1인 게이트(16a)와 게이트(16b) 사이는 절연막(21)으로 매립된 형상으로 된다.

한편, (T1+T2)의 2배의 두께가 게이트간격(S2)보다 적은 경우, 게이트(16c)의 측면에 두께 T2로 형성된 절연막(21)과, 이 게이트(16c)로부터 거리(S2)만큼 미간하는 다른 게이트(16d)의 측면에 두께 T2로 형성된 절연막(21)과의 사이에 S2-[2×(T1+T2)]×0만큼 간극이 남는다. 이 때문에, 각 게이트(16c, 16d)의 측면에 형성된 절연막(21)끼리가 접하는 일은 없다.

여기에서, 게이트간격이 S1인 부분은 후술하는 실리사이드막을 실리콘기판(11)상에 형성하지 않는 편이 바람직한 영역이다. 또, 게이트간격이 S2인 부분은 후술하는 실리사이드막을 실리콘기판(11)상에 형성하는 편이 바람직한 영역이다. 따라서, 절연막(21)의 두께 T2, 절연막(19)의 형성시의 두께 T1과 게이트간격 S1, S2는 식 (3)에 나타낸 관계가 있다.

$$S1 \leq 2 \times (T1 + T2) < S2 \quad (3)$$

다음으로, 도 14에 나타낸 바와 같이, 예컨대 염소(Cl<sub>2</sub>), 브롬화수소(HBr), 산소(O<sub>2</sub>), 6불화유황(SF<sub>6</sub>)의 혼합가스를 사용한 RIE기술에 의해 절연막(21)이 약 0.14μm에 형성된다. 따라서, 게이트(16a, 16b, 16c, 16d)의 각 측벽부분에 게이트 측벽절연막(21a, 21b)이 형성된다. 즉, 영역 A의 게이트(16a, 16b)와 같이 상호간격이 좁은 부분은 절연막(21)이 많이 남기 때문에, 게이트 산화막(15)이 노출되지 않고, 게이트 측벽절연막(21b)이 형성된다. 또, 게이트(16c, 16d)와 같이 상호간격이 넓은 영역은 게이트 산화막(15)이 노출되어 게이트 측벽절연막(21a)이 형성된다.

그 후, 웨트에칭에 의해 확산층(20)상의 게이트 산화막(15) 및 게이트(16a, 16b, 16c, 16d) 상부의 실리콘 산화막(17)이 제거된다. 다음으로, 도 15에 나타낸 바와 같이 스팍터링기술에 의해 전면에 막두께가 예컨대 0.1μm의 금속막으로서, 예컨대 코발트 박막이 형성된다. 여기에서, 금속막은 코발트에 한정되지 않고, 예컨대 티탄 등이더라도 좋다. 그 후, 실리콘과 화학적 반응이 일어나는 온도로서 예컨대 400°C로, 예컨대 질소(N<sub>x</sub>)내에서 1분간의 어늘이 행해진다. 이에 따라, 코발트 박막과 실리콘을 함유한 게이트(16a, 16b, 16c, 16d) 및 실리콘기판(11)과 접하고 있는 영역에서는 코발트와 실리콘이 반응하여 코발트 실리사이드막(22a, 22b)이 자기정합적으로 형성된다. 이 때, 절연막으로 되어 있는 게이트(16a, 16b)의 상호간 및 게이트 측벽절연막(19a, 19b, 21a, 21b)상에 코발트 실리사이드막은 형성되지 않는다. 그 후, 예컨대, 황산(H<sub>2</sub>SO<sub>4</sub>)과 과산화수소(H<sub>2</sub>O<sub>2</sub>)의 혼합용액으로 약 30초에 청합으로써, 미반응의 코발트 박막이 선택적으로 제거된다.

미와 같이 하여, 영역 A의 게이트 상호간격이 좁은 부분에는 코발트 실리사이드막이 형성되지 않고, 영역 A 및 영역 B의 게이트 상호간격이 넓은 부분에 코발트 실리사이드막이 형성된 MOS 트랜지스터가 형성된다. 또, 영역 A에 있어서는, 코발트 실리사이드막이 형성된 부분에 예컨대 비트선이 접속된다.

상기 제3실시예에 의하면, 제2실시예와 마찬가지의 효과를 얻을 수 있다. 더욱이, 게이트 측벽절연막(19a)을 제거하지 않기 때문에 제조공정이 용이해진다.

### 본명의 효과

본 발명에 의하면, 규화금속화합물의 영향으로 발생하는 PN접합 누설전류를 억제할 수 있으며, 신호처리의 고속성을 확보할 수 있는 반도체장치 및 그 제조방법을 제공할 수 있다.

## (5) 청구의 범위

## 청구항 1

반도체기판상에 게이트 산화막을 형성하는 공정과,

상기 게이트 산화막상에 제1상호간격을 갖는 복수의 제1게이트와, 상기 제1상호간격보다 넓은 제2상호간격을 갖는 복수의 제2게이트를 선택적으로 형성하는 공정,

상기 제1 및 제2게이트를 마스크로 하여 상기 반도체기판 표면에 제1확산층을 형성하는 공정,

전면에 절연막을 막두께 T1으로 형성하는 공정,

상기 절연막을 형성하는 공정에 의해 막두께 T2까지 예칭하는 공정,

상기 절연막을 예칭하여 상기 제1게이트의 측벽에 상기 제1게이트간의 상기 반도체기판 표면을 덮는 제1측벽절연막을 형성하면서, 상기 제2게이트의 측벽에 상기 제2게이트간의 상기 반도체기판 표면을 노출하여 제2측벽절연막을 형성하는 공정 및,

상기 제1 및 제2게이트와 제1 및 제2측벽절연막을 마스크로 하여 상기 반도체기판 표면에 불순물을 도입하고, 상기 제2측벽절연막간의 상기 반도체기판의 표면에 상기 제1확산층보다도 고농도인 제2확산층을 형성하는 공정을 포함하는 것을 특징으로 하는 반도체장치의 제조방법.

## 청구항 2

제1항에 있어서, 상기 제1 및 제2측벽절연막을 형성하는 공정에서의 예칭은 미방성 예칭인 것을 특징으로 하는 반도체장치의 제조방법.

## 청구항 3

제1항에 있어서, 상기 제2확산층을 형성하는 공정후에, 상기 제2확산층상에 규화금속화합물을 형성하는 공정을 더 포함하는 것을 특징으로 하는 반도체장치의 제조방법.

## 청구항 4

제1항에 있어서, 상기 제1게이트의 상호간격을 S1, 상기 제2게이트의 상호간격을 S2, 상기 절연막의 형성 시의 막두께를 T1으로 했을 때,  $S1 \leq 2 \times T1 < S2$ 의 관계를 만족시키도록 형성되어 있는 것을 특징으로 하는 반도체장치의 제조방법.

## 청구항 5

반도체기판상에 게이트 산화막을 형성하는 공정과,

상기 게이트 산화막상에 제1상호간격을 갖는 복수의 제1게이트와, 상기 제1상호간격보다 넓은 제2상호간격을 갖는 복수의 제2게이트를 선택적으로 형성하는 공정,

상기 제1 및 제2게이트를 마스크로 하여 상기 반도체기판 표면에 제1확산층을 형성하는 공정,

전면에 제1절연막을 형성하는 공정,

상기 제1절연막을 선택적으로 제거하여 상기 제1 및 제2게이트의 측벽에 상기 반도체기판 표면을 노출하여 제1측벽절연막을 형성하는 공정,

제1 및 제2게이트와 제1측벽절연막을 마스크로 하여 상기 반도체기판 표면에 불순물을 도입하고, 상기 제1확산층과 연속하여 상기 제1확산층보다도 고농도인 제2확산층을 형성하는 공정,

전면에 제2절연막을 형성하는 공정 및,

상기 제2절연막을 예칭하여 상기 제1게이트의 상기 제1측벽절연막의 측벽에 상기 반도체기판 표면을 덮는 제2측벽절연막을 형성하면서, 상기 제2게이트의 상기 제1측벽절연막의 측벽에 상기 반도체기판 표면을 노출하여 제3측벽절연막을 형성하는 공정을 포함하는 것을 특징으로 하는 반도체장치의 제조방법.

## 청구항 6

제5항에 있어서, 상기 제2 및 제3측벽절연막을 형성하는 공정에서의 예칭은 미방성 예칭인 것을 특징으로 하는 반도체장치의 제조방법.

## 청구항 7

제5항에 있어서, 상기 제2 및 제3측벽절연막을 형성하는 공정후에, 상기 제3측벽절연막간의 상기 제2측산층상에 규화금속화합물을 형성하는 공정을 더 포함하는 것을 특징으로 하는 반도체장치의 제조방법.

## 청구항 8

제5항에 있어서, 상기 제1게이트의 상호간격을 S1, 상기 제2게이트의 상호간격을 S2, 상기 제1절연막의 형성시의 막두께를 T1, 상기 제2절연막의 형성시의 막두께를 T2로 했을 때,  $S1 \leq 2 \times (T1+T2) < S2$ 의 관계를 만족시키도록 형성되는 것을 특징으로 하는 반도체장치의 제조방법.

## 청구항 9

제5항에 있어서, 상기 제2확산층을 형성한 후, 상기 제2절연막을 형성하기 전에, 상기 제1측벽절연막을

제거하는 공정을 더 포함하는 것을 특징으로 하는 반도체장치의 제조방법.

#### 청구항 10

제5항에 있어서, 상기 제2확산층을 형성한 후, 상기 제2절연막을 형성하기 전에, 상기 제1측벽절연막을 제거하는 공정을 더 포함하고,

상기 제1게이트의 상호간격을 S1, 상기 제2게이트의 상호간격을 S2, 상기 제1절연막의 형성시의 막두께를 T2로 했을 때,  $S1 \leq 2 \times T2 < S2$ 의 관계를 만족시키도록 형성되는 것을 특징으로 하는 반도체장치의 제조방법.

#### 청구항 11

반도체기판상에 형성되고, 제1상호간격을 갖는 복수의 제1게이트와,

상기 반도체기판상에 형성되고, 상기 제1상호간격보다 넓은 제2상호간격을 갖는 복수의 제2게이트,

상기 제1게이트의 측벽에 형성되고, 상기 제1게이트 상호간을 메우는 제1측벽절연막,

상기 제2게이트의 측벽에 서로 떨어져 형성된 제2측벽절연막,

상기 제1측벽절연막 아래의 상기 반도체기판 표면에 형성된 제1확산층 및,

상기 제2측벽절연막 상호간의 상기 반도체기판 표면에 형성된 제2확산층을 갖춘 것을 특징으로 하는 반도체장치.

#### 청구항 12

제11항에 있어서, 상기 제2확산층상에 형성된 규화금속화합물을 더 갖춘 것을 특징으로 하는 반도체장치.

#### 청구항 13

제11항에 있어서, 상기 제2확산층은 상기 제1확산층보다도 고농도인 것을 특징으로 하는 반도체장치.

#### 청구항 14

제11항에 있어서, 상기 제1게이트의 상호간격을 S1, 상기 제2게이트의 상호간격을 S2, 상기 제1 및 제2측벽절연막으로 되는 절연막의 형성시의 막두께를 T1으로 했을 때,  $S1 \leq 2 \times T1 < S2$ 의 관계를 만족시키는 것을 특징으로 하는 반도체장치.

#### 청구항 15

제11항에 있어서, 상기 반도체기판내에는 캐퍼시터가 형성되고, 이 캐퍼시터는 제1확산층에 접속되어 있는 것을 특징으로 하는 반도체장치.

#### 청구항 16

제11항에 있어서, 상기 제2측벽절연막이 상기 제2확산층상으로 뻗어나와 형성되어 있는 것을 특징으로 하는 반도체장치.

#### 청구항 17

제11항에 있어서, 상기 제2측벽절연막이 상기 제2확산층상으로 뻗어나와 형성되어 있고, 상기 제2측벽절연막의 하단부의 상기 제2확산층상에 규화금속화합물이 형성되어 있는 것을 특징으로 하는 반도체장치.

#### 청구항 18

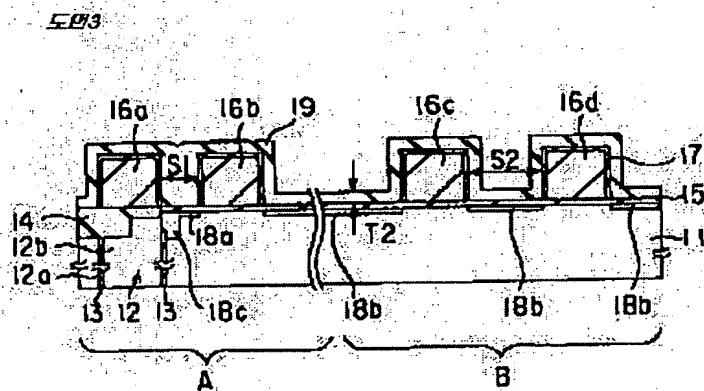
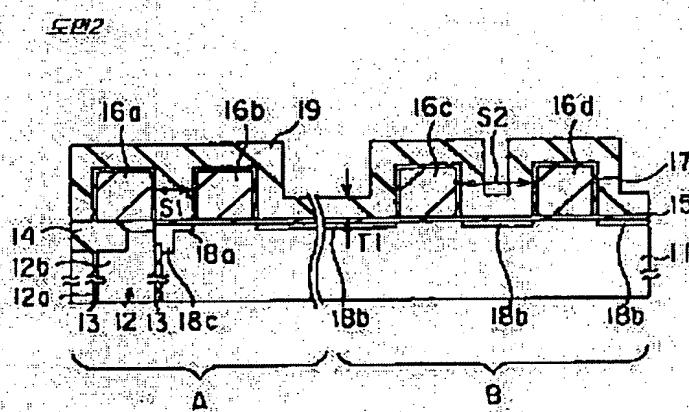
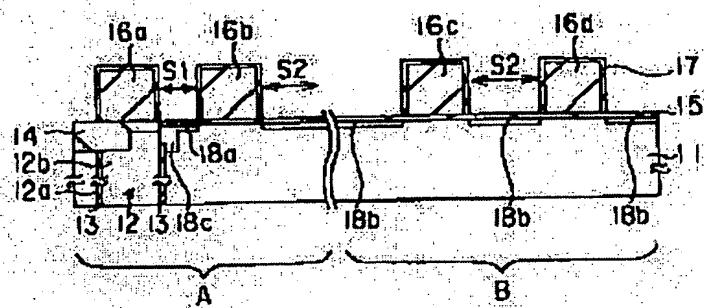
제11항에 있어서, 상기 제2측벽절연막이 상기 제2확산층상으로 뻗어나와 형성되어 있고, 상기 제1게이트의 상호간격을 S1, 상기 제2게이트의 상호간격을 S2, 상기 제1 및 제2측벽절연막으로 되는 절연막의 형성시의 막두께를 T1으로 했을 때,  $S1 \leq 2 \times T1 < S2$ 의 관계를 만족시키는 것을 특징으로 하는 반도체장치.

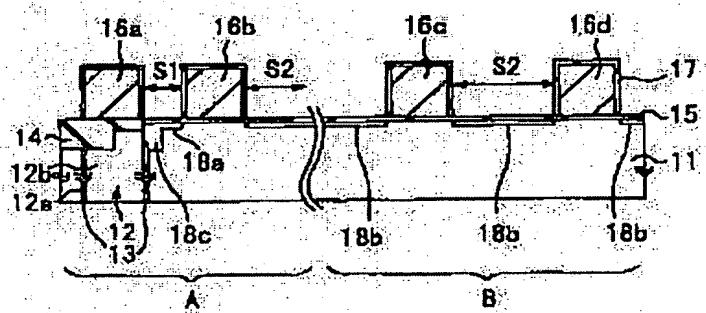
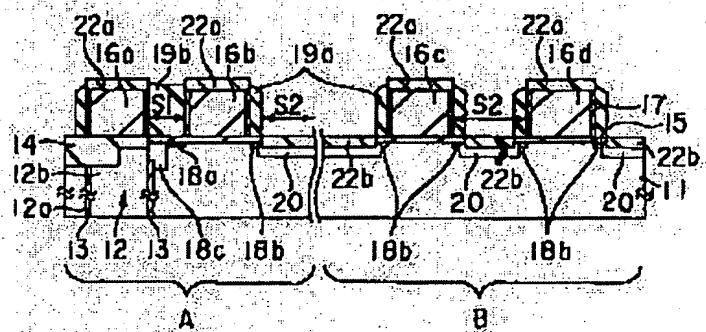
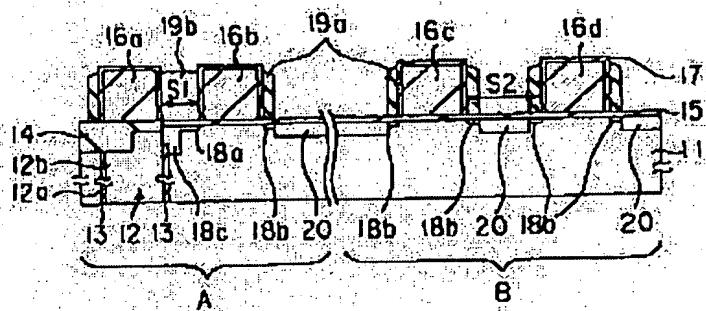
#### 청구항 19

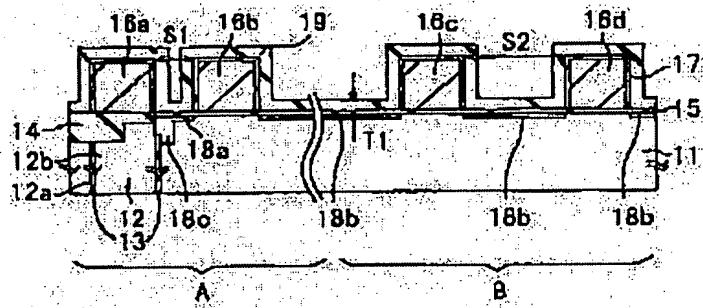
제11항에 있어서, 상기 제2측벽절연막이 상기 제2확산층상으로 뻗어나와 형성되어 있고, 상기 반도체기판내에는 캐퍼시터가 형성되며, 이 캐퍼시터는 제1확산층에 접속되어 있는 것을 특징으로 하는 반도체장치.

## 도면

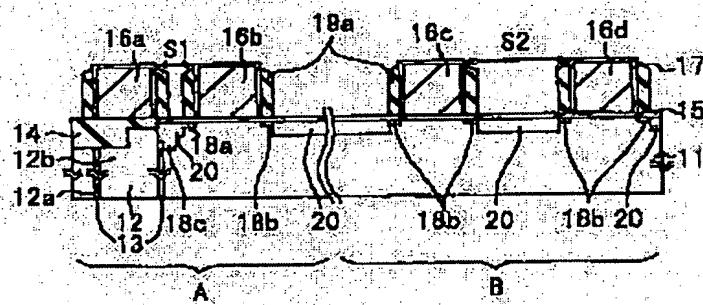
### 도면 1



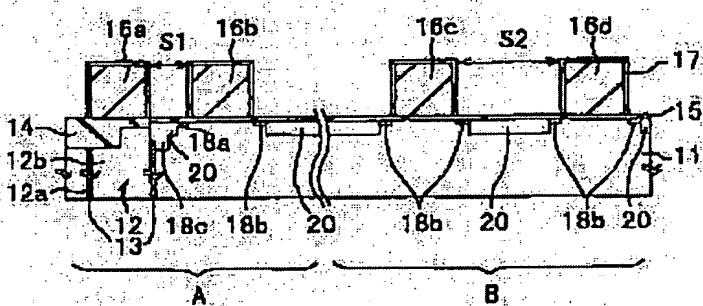




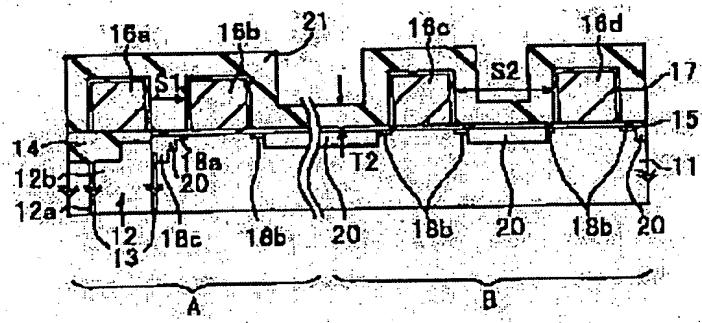
508.



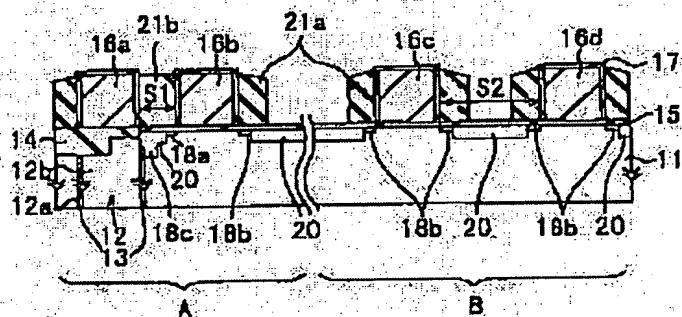
509.



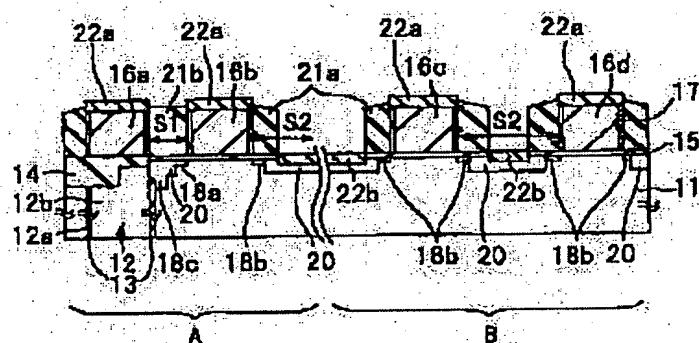
5010



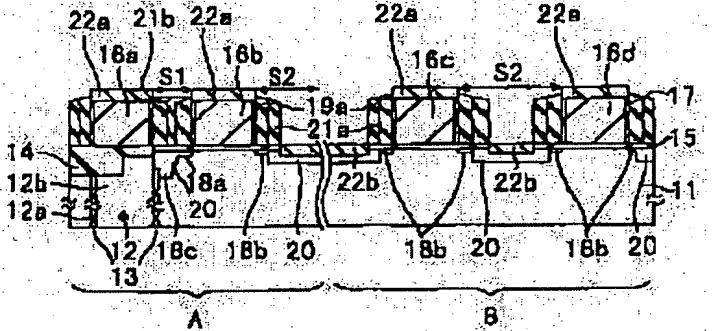
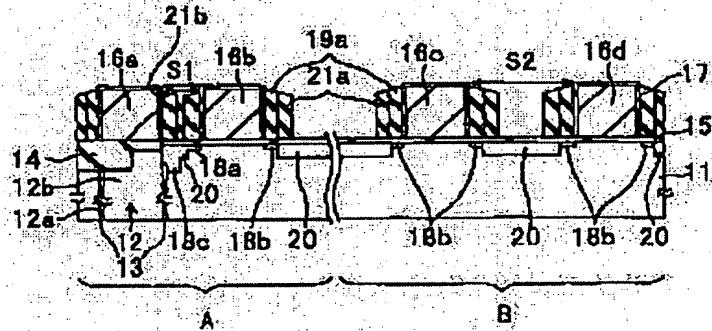
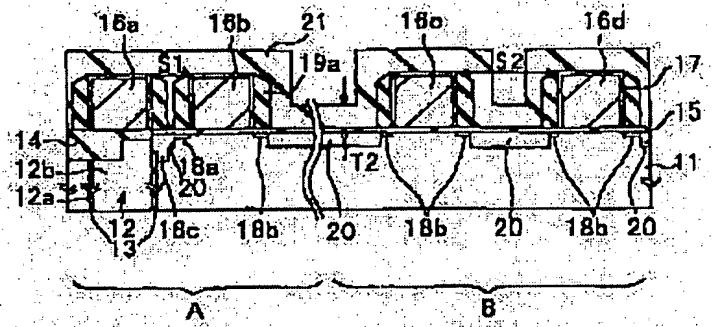
도면 11

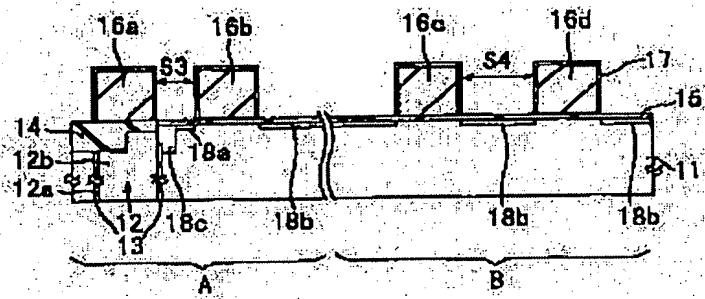


도면 12

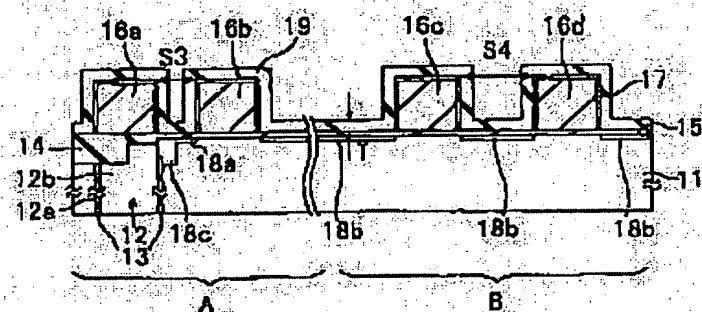


도면 13

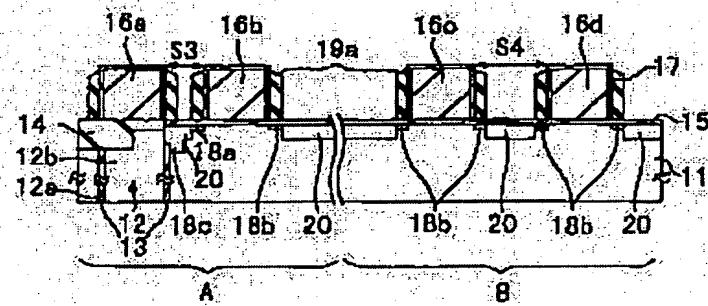




S-17



S-18



S-19

